

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-181916

(43)Date of publication of application : 21.07.1995

(51)Int.CI.

G09G 3/30

(21)Application number : 05-345611

(71)Applicant : FUTABA CORP

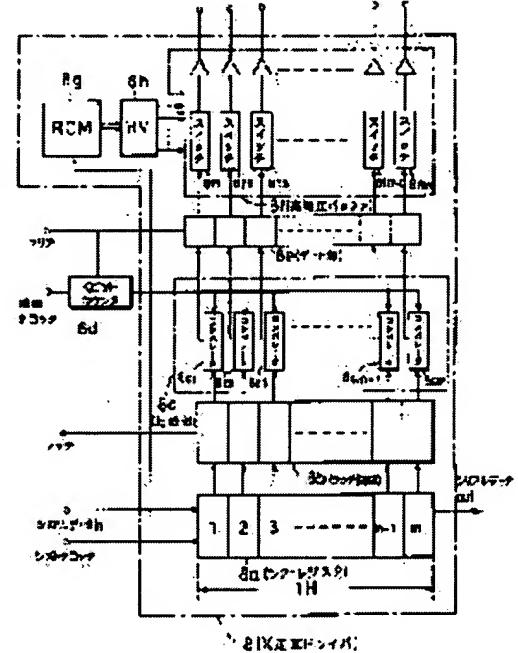
(22)Date of filing : 22.12.1993

(72)Inventor : TANAKA MITSURU

## (54) DRIVING CIRCUIT OF DISPLAY DEVICE

## (57)Abstract:

PURPOSE: To obtain a wider dynamic range with a small number of gradations. CONSTITUTION: The driving circuit of display device is equipped with a shift register 8a and a latch circuit 8b which convert K bits of M-bit ( $M=K+L$ ) pixel data inputted as digital data of a serial signal into a parallel signal by horizontal lines, a comparison part 8c and a gate part 8e which impose pulse-width-modulate the image data converted into the parallel signal, a ROM 8g which stores correction data corresponding to the value of L bits of the pixel data, a high voltage selection part 8h which selects and outputs a voltage value for the pulse amplitude modulation according to the correction data in the ROM 8g, and a high-voltage buffer 8f which imposes pulse-amplitude-modulates the pulse-width-modulated pixel data with the voltage value selected by the high voltage selection part 8h.



## LEGAL STATUS

[Date of request for examination] 22.12.2000

[Date of sending the examiner's decision of rejection] 23.07.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl.<sup>6</sup>  
G 0 9 G 3/30識別記号  
3 0 1庁内整理番号  
9378-5G

F I

技術表示箇所

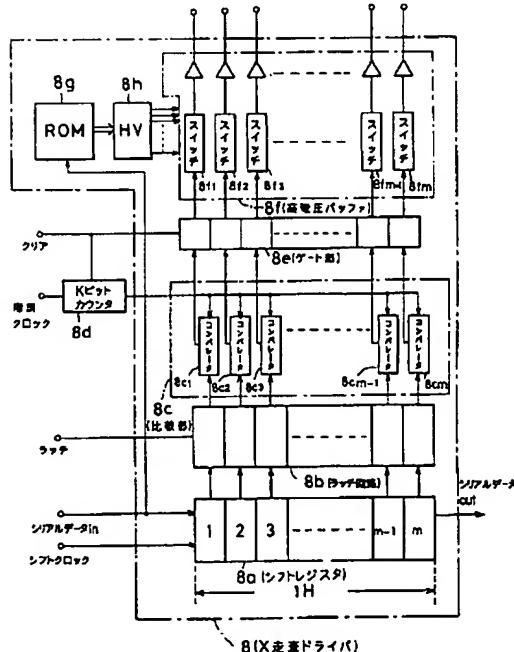
## 審査請求 未請求 請求項の数3 FD (全9頁)

(21)出願番号 特願平5-345611  
(22)出願日 平成5年(1993)12月22日(71)出願人 000201814  
双葉電子工業株式会社  
千葉県茂原市大芝629  
(72)発明者 田中 滉  
千葉県茂原市大芝629 双葉電子工業株式  
会社内  
(74)代理人 弁理士 臨 篤夫 (外1名)

## (54)【発明の名称】 表示装置の駆動回路

## (57)【要約】

【目的】 少ない階調数でより広いダイナミックレンジを実現する。

【構成】 シリアル信号のデジタルデータで入力されるMビット ( $M = K + L$ ) の画素データのKビットを1水平ライン毎にパラレル信号に変換するシフトレジスタ8a及びラッチ回路8bと、パラレル信号に変換された前記画像データをパルス幅変調する比較部8c及びゲート部8eと、前記画素データのLビットの値に対応した補正データが記憶されるROM 8gと、ROM 8gの補正データにしたがいパルス振幅変調を行なう電圧値を選択して出力する高電圧選択部8hと、パルス幅変調された前記画素データを高電圧選択部8hで選択された電圧値でパルス振幅変調する高電圧バッファ8fを備え表示装置の駆動回路を構成する。

## 【特許請求の範囲】

【請求項1】 画像データとして入力されるMビット ( $M = K + L$ ) の画素データからKビットをパルス幅変調するパルス幅変調手段と、  
表示装置の発光特性を補正するために前記画像データのLビットの値に対応した電圧値を選択して出力する電圧選択手段と、  
前記パルス幅変調手段でパルス幅変調されたパルス信号を前記電圧選択手段で選択された電圧値でパルス振幅変調するパルス振幅変調手段とを備え、  
前記パルス振幅変調手段より出力される信号で電界放出素子を制御して画像を表示することを特徴とする表示装置の駆動回路。

【請求項2】 前記パルス幅変調された信号は電界放出素子のゲート電極に加えるようにしたことを特徴とする請求項1に記載の表示装置の駆動回路。

【請求項3】 電圧選択手段はA/D変換器によって構成されていることを特徴とする請求項1又は2に記載の表示装置の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えばテレビジョン受像機、パーソナルコンピュータ、医療機器、計測器、POS (Point Of Sales) システム等の情報端末の表示装置に用いられる電界放出型の発光素子の駆動回路に関するものである。

## 【0002】

【従来の技術】 平面状とされ面放出型の電界放出型カソード (FEC) により構築される電界放出型ディスプレイ (FED ··· Field Emission Display) のアドレッシング方法は、電界放出素子のエミッタとゲート電極をマトリクス状に配線したX-Yマトリクス構造で、一般的な順次走査が行なわれる。

【0003】 図6 (a) (b) に、その一例であるスピント (Spindt) 型と呼ばれるFECを示す。この図の (a) は半導体加工技術を用いて作成したFECの斜視図であり、(b) は (a) 図に示すA-Aの線で切断したFECの断面を示す図である。これらの図において、基板上にアルミニウム等の金属で形成されたカソード電極が設けられており、このカソード電極上にコーン状のエミッタが形成されている。カソード電極上にはさらに、S, O, 膜を介してゲート電極が設けられており、ゲート電極にあけられた開穴の中に上記エミッタが位置するようしている。すなわち、このコーン状のエミッタの先端部分がゲート電極にあけられた穴から臨んでいる。

【0004】 このコーン状のエミッタ間のピッチは10ミクロン以下とすることが出来るため、数万から数10万個のFECを1枚の基板上に設けることが出来る。さらに、ゲート電極とエミッタのコーンの先端との距離を

サブミクロンとすることが出来るため、ゲート電極とカソード電極との間にわずか数10ボルトの電圧を印加することにより、電子をエミッタから電界放出することが出来る。そして、このFECは図に示されているように平面状となっているため、面放出型の電界放出カソードとすることが出来、このような面放出型の電界放出カソードを利用してFEDを構築することができる。

【0005】 図7はこのようなFEDの構成を示す斜視図である。このFEDにおいて、21は真空容器中に配置されている第1の基板を示し、この第1の基板21上にストライブ状に形成された $y_1 \sim y_n$ はY電極としてのカソード電極を示している。このカソード電極 $y_1 \sim y_n$ に対しては、後述するドライブパルスが供給されるカソード端子 $CT_1 \sim CT_n$ が接続されている。

【0006】 また、 $x_1 \sim x_m$ はX電極としてのゲート電極を示し、カソード電極 $y_1 \sim y_n$ の上に絶縁体を介して、カソード電極 $y_1 \sim y_n$ と直交するようストライブ状に形成されている。そして、ゲート電極 $x_1 \sim x_m$ にはドライブパルスが供給されるゲート端子 $G_1 \sim G_m$ が接続される。22は各ゲート電極 $x_1 \sim x_m$ に形成されている穴であり、カソード電極 $y_1 \sim y_n$ の上に形成されたコーン状のエミッタ (図6参照) から放出される電子が通過するために形成されるものである。

【0007】 また、23は第1の基板21に対向して真空容器中に配置される第2の基板を示している。そして、この第2の基板23に形成されている24、24···はアノード電極であり、図のようにゲート電極 $x_1 \sim x_m$ の位置に対応してストライブ状に配されている。また、それぞれのアノード電極24にはアノード引き出し電極Aが接続されている。なお、カラーディスプレイの場合はこのアノード引き出し電極AはR、G、Bの3原色に対応して3本引き出されることとなる。25は蛍光体でありアノード電極24においてゲート電極 $x_1 \sim x_m$ と対向する側の面に設けられ、電子が衝突することによって励起される。

【0008】 そこで、このFEDにより画像表示を行うための駆動方法の一例を概略的に説明する。第2の基板23に形成されたアノード電極24は、それぞれアノード引き出し電極Aによりほぼ一定の電圧が供給されている。一方、カソード電極 (Y電極)  $y_1 \sim y_n$ はそれぞれのカソード端子 $CT_1 \sim CT_n$ に走査パルスが供給されて走査されることにより、各ストライブ状のカソード電極が順次選択されて駆動される。

【0009】 そこで、アノード電極24を駆動するためアノード引き出し電極Aに正のアノード電圧を印加した状態で、カソード端子 $CT_1 \sim CT_n$ を順次走査していく。この時、ゲート端子 $G_1 \sim G_m$ には走査されるタイミングに応じて画像信号のデータに応じた電圧を印加すると、ゲート電極 $x_1 \sim x_m$ とカソード電極 $y_1 \sim y_n$ の交点にあるFECブロックから放出される電子によっ

て、アノード電極24に設けられた蛍光体25の画素が走査され、この画素はゲート端子G1～Gmに印加された電圧に応じて発光制御されることとなり、このようにして画像の1画面(1フィールド)が表示される。

【0010】ところで、この画像表示に対して明暗あるいは濃淡の構成具合を調整する階調制御を行なう方法は、ゲート端子G1～Gmに印加される駆動バルスの印加時間を制御するPWM(バルス幅変調)駆動方式と、ゲート端子G1～Gmに印加される駆動バルスの電圧値を制御するPAM(バルス振幅変調)駆動方式がある。PWM駆動方式は、例えば図8(a)(b)(c)に示されているように駆動電圧の波形のバルス幅twを制御することにより階調が制御される。図9は階調数が例えば16である場合の光量を模式的に示す図であり、縦軸方向にバルス電圧値HVcc、横軸方向にバルス幅が示されている。Spは電圧値HVccと16段階のバルス幅0、1/15tw、2/15tw、…twにより決まる光量を示す。

【0011】図8(a)に示されているバルス幅twは、例えば図9に示されている1/15twに相当し、(b)のようにバルス幅twが広がるにつれて、2/15tw、3/15tw、…14/15twに示されているように光量Spも増加するようになり、(c)に示すバルス幅twでは階調が最高輝度となる。

【0012】また、PAM駆動方式は、例えば図10(a)(b)(c)に示されているように電圧値HVccを制御することにより階調が制御される。図11は図9と同様に階調数が例えば16である場合の光量を模式的に示す図である。この図でSvは16段階の電圧値0、1/15HVcc、2/15HVcc、…HVccとバルス幅twにより決まる光量を示す。図10(a)に示されている電圧値HVccは、例えば図11に示されている1/15HVccに相当し、(b)のように電圧値HVccが上昇するにつれて、2/15HVcc、3/15HVcc、…14/15HVccに示されているように光量Svも増加するようになり、(c)に示されているように電圧値HVccでは階調が最高輝度となる。

【0013】

【発明が解決しようとする課題】ところで、図6に示したようなSpindt型FECは相互コンダクタンスが大きく、駆動電圧に対して放出される電子流が指数的に比例するために、素子特性のばらつき(素子の性能を示す指標でプロセスに依存する値の違い)により、同じ駆動電圧で駆動した場合でも各ドット毎に発光輝度が大きく異なり、画面の発光輝度の不均一が生じ正確な階調表現が困難になる場合がある。前記したPWM駆動方式による階調表示は高速スイッチングによる消費電力の増加が指摘されているが、輝度変調リニアリティが悪化することはない。一方、PAM駆動方式では、動作点がF

ECC素子のI・V(I=エミッション電流、V=駆動電圧…カソード・エミッタ間の電位差)特性曲線上を移動するため、このFEC素子の特性が各ドット毎に同じにならなければ、輝度変調リニアリティが悪化するためにPWM駆動方式に比較して輝度の不均一が助長されやすいという問題がある。また、素子特性のばらつきを補正することは、予め測定した各ドットの輝度データに基づき画像データの補正計算を行ない実際の表示データとすることができるが、PWM駆動方式では発光輝度の低い表示データに合わせて補正しなければならず、補正により表示可能な階調数が減少して、ダイナミックレンジの低い画像となってしまう。

【0014】さらに、ばらつき補正を行なう場合でも機種によりばらつき特性が異なっており、それぞれの機種に対応して好適なばらつき補正を行なう場合は階調数を変更するなどの処置が必要であり、完全な補正を行なうことは困難であった。

【0015】

【課題を解決するための手段】本発明はこのような問題点を解決するためになされたもので、画像データとして入力されるMビット(M=K+L)の画素データからKビットをバルス幅変調するバルス幅変調手段と、表示装置の発光特性を補正するために前記画像データのLビットの値に対応した補正データが記憶されるメモリと、該メモリの補正データに対応した電圧値を選択して出力する高電圧選択手段と、前記バルス幅変調手段でバルス幅変調されたバルス信号を前記高電圧選択手段で選択された電圧値でバルス振幅変調するバルス振幅変調手段とを備え、前記バルス振幅変調手段より出力される信号で電界放出素子を走査して画像を表示するようになされている。また、前記バルス幅変調された信号は電界放出素子のゲート電圧に加えられるようになされている。

【0016】

【作用】階調駆動方法としてPAM駆動方式とPWM駆動方式を併用することにより、少ない階調数でより広いダイナミックレンジを実現することができるようになる。特に振幅変調されたデータは、FECの特性のバラツキを補正するため使用することができる

【0017】

【実施例】以下、図1乃至図5にしたがい本発明の電界放出素子の駆動回路の一実施例を説明する。まず、図1に上記FEDを採用したディスプレイ装置の構成を回路図として示す。この図において1はFEDであり図8に示したと同様の構成のFEDが用いられているものである。なお、この図ではアノード電極24(及び蛍光体25)とアノード引き出し電極Aは示されていないが、アノード電極24はゲート電極x1～xm上に配されているものとされ、アノード引き出し電極Aは後述するアノードドライバ9に対して接続されているものとされる。

また便宜上、以後カソード電極y1～ynはY電極、ゲ

ート電極  $x_1 \sim x_m$  は X 電極として名称を統一することにする。

【0018】2 は画像データ信号が入力される画像入力端子を示す。3 は画像入力回路であり、例えば画像入力端子 2 から供給された画像データ信号に基づいて画像表示の制御に必要なデータを CPU 4 に伝送すると共に、X 走査ドライバ 8 と Y 走査ドライバ 6 を制御するための画像データをドライバコントローラ 5 に出力する等の動作をする。4 は後述する画像表示走査に関する制御等の処理を行なう CPU である。5 はドライバコントローラであり、画像入力回路 3 からの画像データや CPU 4 による制御タイミングに従い、Y 走査ドライバ 6 の走査電圧の印加タイミングと X 走査ドライバ 8 の画像データに応じた信号の印加タイミングをコントロールする。またこの場合にはアノードドライバ 9 の電圧印加タイミングをコントロールすることも行っている。

【0019】6 は Y 走査ドライバを示し、上述のドライバコントローラ 5 の制御に従って所定のタイミングで各 Y 電極 ( $y_1 \sim y_n$ ) に対応するガソード端子 CT 1 ~ CT  $n$  に走査電圧を出力する。

【0020】8 は X 走査ドライバであり、この場合にはドライバコントローラ 5 の制御に従って所定のタイミングで各 X 電極 ( $x_1 \sim x_m$ ) に対応するゲート端子 G 1 ~ G  $m$  に画像データに応じた電圧を出力する。

【0021】9 はアノードドライバであり実際には FED 1 のアノード引き出し電極 A と接続されている。そして、ドライバコントローラ 5 の制御に従って所定のタイミングでアノード電極 24 を駆動するための正のアノード電圧を出力するものである。なお、アノード電極をベータに構成するときは（白黒画像）、このアノードドライバを省略することもできる。

【0022】次に本実施例における PAM 駆動方式と PWM 駆動方式を併用した階調制御について説明する。図 2 は図 1 に示した X 走査ドライバ 8 の構成を示す図である。この図で 8 a はシリアルデータとして入力される画素データを 1 水平ライン分記憶するシフトレジスタを示す。前記シリアルデータにおいて一画素分のデータ長のビット数を M ( $M = K + L$ ) ビットとすると、このシフトレジスタ 8 a には PWM 駆動用の K ビットのデータが入力され、残りの L ビットは PAM 駆動用として後で説明する高電圧選択部 8 h に入力される。本実施例では例えば  $K = 4$  ビット、 $L = 2$  ビットとして説明する。

【0023】8 b はラッチ回路を示し、上記 K ビットの各画素データをシフトレジスタ 8 a によりシリアル/パラレル変換して 1 水平期間保持する。8 c は複数のコンバレータ 8 c1, 8 c2, ..., 8 cm により構成される比較部であり、ラッチ回路 8 b から入力される各画素データと階調クロックをカウントしている K ビットのカウンタ 8 d の出力を比較し、計測値が一致したときコンバレータ 8 c ( $1, 2, 3, \dots, m$ ) より出力される信号がそれ

それゲート部 8 e に供給される。

【0024】ゲート部 8 e は K ビットカウンタ 8 d がクリアされたあと、前記一致信号が出力されるまでの時間をパルス幅とするゲート信号を形成し、このゲート信号を高電圧バッファ部 8 f に供給する。高電圧バッファ部 8 f は前記ゲート信号によってスイッチング制御される複数のバッファアンプ 8 f1, 8 f2, 8 f3, ..., 8 fm を備え、このバッファアンプ 8 f ( $1, 2, 3, \dots, m$ ) の出力が各 X 電極にそれぞれ供給される。8 g は高電圧バッファ部 8 f に供給される電圧値を設定するデータが格納されている ROM テーブル（又は RAM テーブル）であって、例えば前記 L ビットのデータで読み出された ROM テーブル 8 g で指定された値の電圧が高電圧選択部 8 h を介して前記高電圧バッファ部 8 f に供給される。なお、L ビットのデータを直接 A/D 変換器によって電圧値に変換するようにしてもよい。そして、高電圧選択部 8 h では前記シリアルデータとして入力された画素データの L ビットのデータによって出力される電圧値が選択され、高電圧バッファ部 8 f の各バッファアンプ 8 f ( $1, 2, 3, \dots, m$ ) の駆動電圧として供給されることとなる。

【0025】なお、高電圧選択部 8 h 内にも、前記したシフトレジスタ 8 a、ラッチ回路 8 b、比較部 8 c に該当する回路を設けることによって、L ビットに対応する高電圧を選択し、水平方向に並ぶ各画素に対して補正すべき駆動電圧が与えられるようになっている。

【0026】以下、図 3 (a) ~ (h) に示した各クロック、出力データの波形を参照して上記した各機能回路の動作について説明する。1 水平ラインの画像データは 30 例えば 6 ビットで構成される 1 画素のうち 4 ビットがシリアルデータ (e) として、シフトクロック (c) によって順次シフトレジスタ 8 a に格納される。そして 1 水平ライン、例えば 320 画素分の画像データはラッチ信号によってパラレルデータとしてラッチ回路 8 b にラッヂされる。そして、1 水平ライン毎のパラレルデータとして比較部 8 c に出力されるようになる。比較部 8 c ではラッチ回路 8 b の出力データ (4 ビット) と K ビットカウンタ 8 d のカウント値の比較がなされる。K ビットカウンタ 8 d はクリアクロック (a) の立ち上がりにより初期化された後にカウントアップされ、カウントデータの値とラッチ回路 8 b の出力データの値が一致したときにコンバレータ 8 c1, 8 c2, ..., 8 cm からゲート回路 8 e を介して出力データが outputされる。すなわち、比較部 8 c の出力データが駆動パルスの印加時間（パルス幅）であり、比較部 8 c とゲート回路 8 e による PWM 変調により階調の印加時間が制御されるようになる。

【0027】一方、前記一画素のデータのうち L ビットのデータも順次 1 水平ライン分が高電圧選択部 8 h に入力される。高電圧選択部 8 h は、この 2 ビットのデータ

に対応する階調電圧となる電圧値を各画像毎にROM 8 g のデータに基づいて選択し、高電圧バッファ部 8 f の各バッファアンプ 8 f (1,2,3, …, m) の駆動電圧となるように供給する。Lビットのデータは主にFEDの表示特性（発光特性）を補正するためのデータであって、Mビットの中の例えば下位Lビットを割り当てる。そして、後で述べるようにこのLビットのデータによって画像面の表示むらやガンマ特性などを補正するようしている。

【0028】このようにして高電圧選択部 8 h により選択された階調電圧値と、比較部 8 b 及びゲート回路 8 e により得られた印加時間（パルス幅）は高電圧バッファ 8 f の各バッファアンプを同時に制御し、例えば図3 (f) (g) (h) に示すような波形で駆動パルスが形成される。(f) は例えば11番目のある画素をドライブする駆動パルスで電圧値がV1、パルス幅がW1 となっていることを示す。また (g) は例えば23番目のある画素をドライブする駆動パルスで電圧値がV2、パルス幅がW2 となっている。同様に (h) は例えば3F番目の画像をドライブする駆動パルスの一例を示しており、電圧値がV3、パルス幅がW3 となっていることを示す。本発明の場合は上記したように、駆動パルスを PWM変調とPAM変調を併用して求めることで、水平ラインの各画素毎に電圧レベルV 及び印加時間W が異なる駆動パルスで階調駆動することができるようになる。

【0029】図4はPWM変調及びPAM変調により得られる駆動パルスにより例えば16段階で階調駆動する場合の光量変化の一例を模式的に示す図であり、縦方向に電圧レベル、横方向に印加時間を示し、この電圧レベルと印加時間から得られる光量はS p v で示されている。この図に示される階調段階数も図9、図11で説明した場合と同様に16段階であるが、階調電圧値と印加時間を同時に制御できるため、PWM変調、PAM変調をそれぞれ行なっていた場合よりも、光量のダイナミックレンジが広がるようになる。またROM 8 g にメモリされている電圧値選択データは任意に設定することもできるので、階調数の設定を換えることなくFECの素子特性のばらつきなどを同時に補正することができるようになる。

【0030】特に、階調電圧値をモニタ画像のコントラスト特性を考慮して任意に設定することにより、例えば図5に示されている、曲線A ( $\gamma=1$ )、B ( $\gamma=2$ )、C ( $\gamma=0.5$ ) のような輝度変調特性（ガンマ補正）を任意に設定することができるようになり、例えばテレビジョン受像機などのモニタ装置においても高品位な画像表示を行なうことができるようになる。

【0031】なお、上記実施例はROMテーブルを使用して補正データに対応する電圧を出力しているが、Lビ

ットの画像データを電圧値に変換して直接パルス振幅変調を行うようにしてもよい。

【0032】

【発明の効果】以上、説明したように本発明の電界放出素子の駆動回路はPWM階調制御とPAM階調制御を同時に行なうことにより、駆動パルスの電圧値と印加時間（パルス幅）を制御することができるようになり、同じ階調数を表現する場合でも従来と比較して印加パルス幅と電圧値の分割ステップ数を削減することができるようになる。特に画像データの中の一部のデータによって駆動電圧を設定することができることから、例えばFEC等の素子特性のばらつきがあるような場合でも、そのFECを使用した各ディスプレイ装置間のばらつきに対応して、ROMテーブルを形成することにより、表示装置の発光特性を均一化させることができるという効果がある。また、同様にして輝度変調特性（ガンマ補正）も任意に設定することができるのでテレビジョン受像機等のモニタ装置としても高品位な画像表示を行なうことができるようになる。

【図面の簡単な説明】

【図1】本発明の実施例のディスプレイ装置の回路ブロックを示す図である。

【図2】本実施例のディスプレイ装置におけるX走査ドライバの回路ブロックを示す図である。

【図3】X走査ドライバにおける各種クロック及び出力データの波形を示す図である。

【図4】本実施例の階調駆動による光量変化を模式的に示す図である。

【図5】本実施例において設定できるガンマ補正の一例を示す図である。

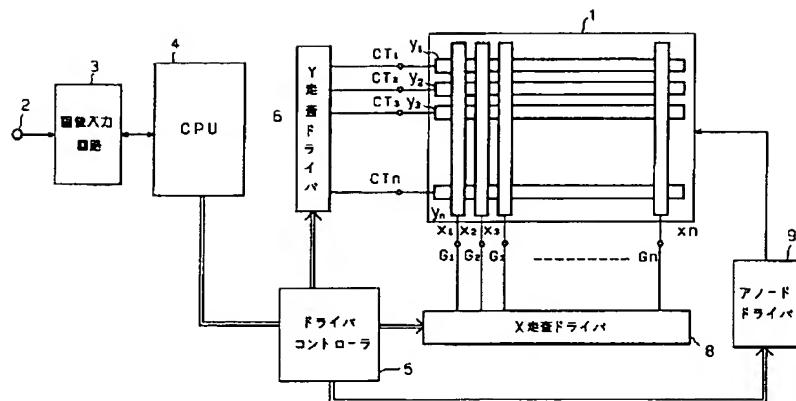
【図6】スピント (Spindt) 型の電界放出カソードを示す斜視図及び断面図である。

【図7】電界放出型ディスプレイの構成を示す図である。

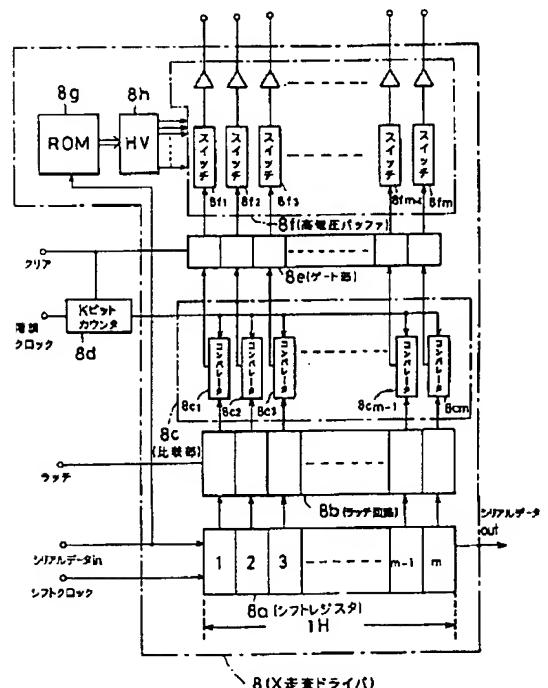
【符号の説明】

- 1 タブレット
- 6 Y走査ドライバ
- 8 X走査ドライバ
- 8 a シフトレジスタ
- 8 b ラッチ回路
- 8 c 比較部
- 8 d Kビットカウンタ
- 8 e ゲート部
- 8 f 高電圧バッファ
- 8 g ROM
- 8 h 高電圧選択部
- 8 i 増幅部

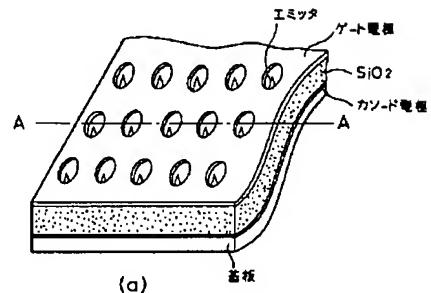
[図 1]



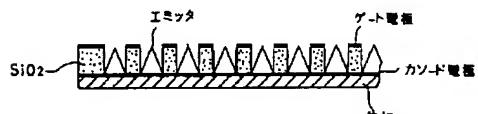
【図2】



[図6]

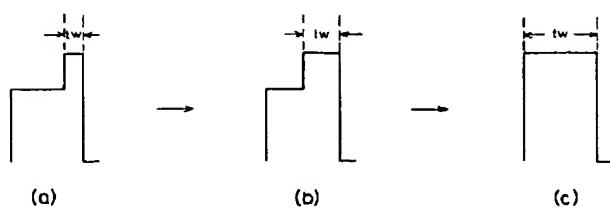


(a)

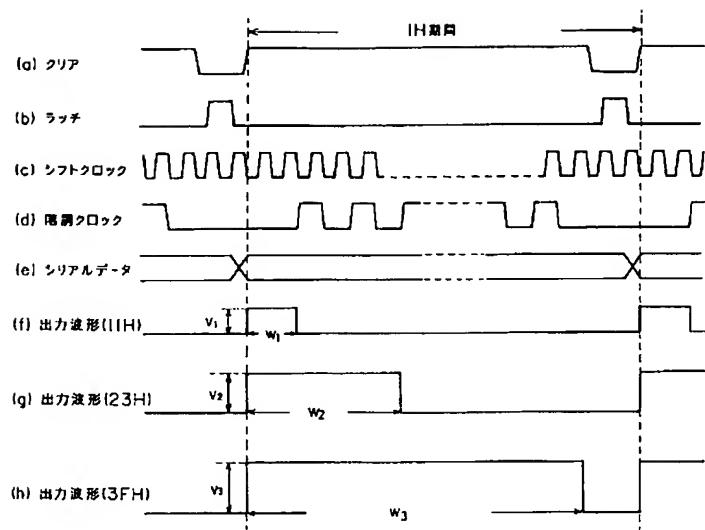


(b)

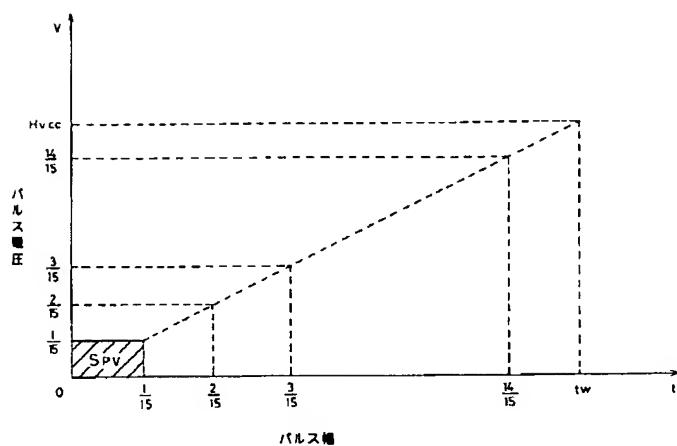
[図 8]



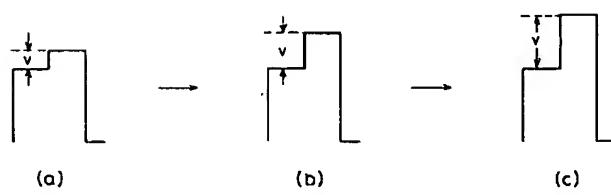
【図3】



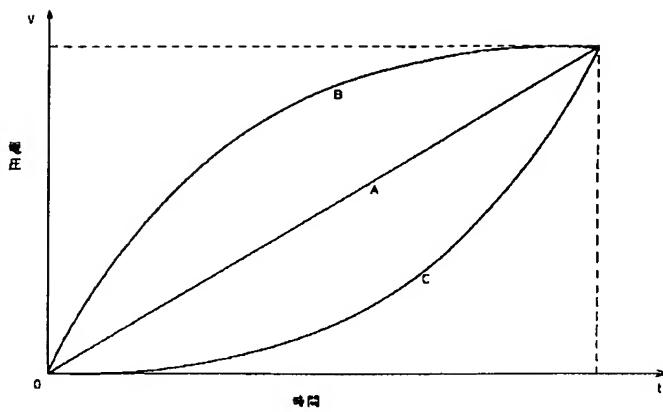
【図4】



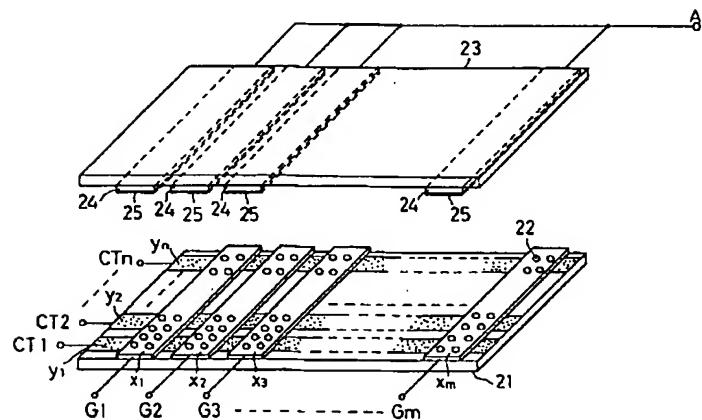
【図10】



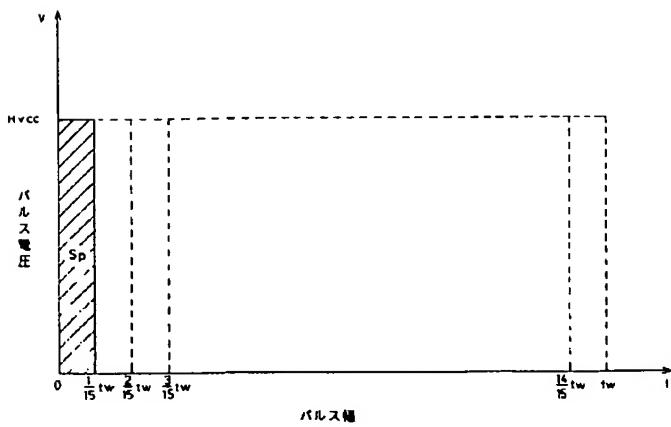
【図5】



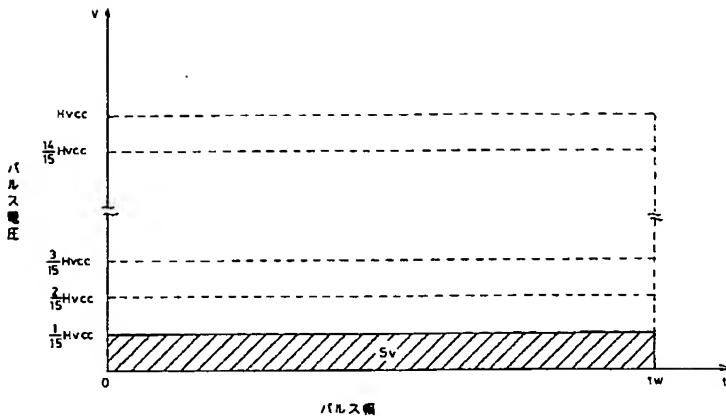
【図7】



【図9】



【図11】



## 【手続補正書】

【提出日】平成6年6月17日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

## 【補正内容】

## 【図面の簡単な説明】

【図1】本発明の実施例のディスプレイ装置の回路ブロックを示す図である。

【図2】本実施例のディスプレイ装置におけるX走査ドライバの回路ブロックを示す図である。

【図3】X走査ドライバにおける各種クロック及び出力データの波形を示す図である。

【図4】本実施例の階調駆動による光量変化を模式的に示す図である。

【図5】本実施例において設定できるガンマ補正の一例を示す図である。

【図6】スピント(Spindt)型の電界放出カソードを示す斜視図及び断面図である。

【図7】電界放出型ディスプレイの構成を示す図である。

【図8】階調制御をPWM駆動方式で行う場合の駆動電圧のパルス幅を模式的に示す図である。

【図9】図8に示した駆動電圧のパルス幅と光量の関係を示す図である。

【図10】階調制御をPAM駆動方式で行う場合の駆動電圧の電圧値を模式的に示す図である。

【図11】図10に示した駆動電圧の電圧値と光量の関係を示す図である。

## 【符号の説明】

- 1 タブレット
- 6 Y走査ドライバ
- 8 X走査ドライバ
- 8 a シフトレジスタ
- 8 b ラッチ回路
- 8 c 比較部
- 8 d Kビットカウンタ
- 8 e ゲート部
- 8 f 高電圧バッファ
- 8 g ROM
- 8 h 高電圧選択部
- 8 i 増幅部